

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): MITSUMOTO, Kinya
Serial No.: Not yet assigned
Filed: January 30, 2004
Title: SYNCHRONIZATION CIRCUIT AND SYNCHRONIZATION
METHOD
Group: Not yet assigned

LETTER CLAIMING RIGHT OF PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

January 30, 2004

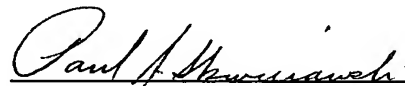
Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55, the applicant(s)
hereby claim(s) the right of priority based on Japanese Patent Application No.(s)
2003-023017, filed January 31, 2003.

A certified copy of said Japanese Application is attached.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP



Paul J. Skwierawski
Registration No. 32,173

PJS/alb
Attachment
(703) 312-6600

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 月 3 1 日
Date of Application:

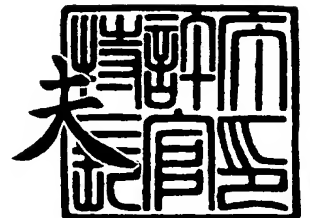
出 願 番 号 特 願 2 0 0 3 - 0 2 3 0 1 7
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 2 3 0 1 7]

出 願 人 株式会社ルネサステクノロジ
Applicant(s):

2 0 0 3 年 1 0 月 2 2 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 8 6 9 8 9

【書類名】 特許願

【整理番号】 H02015701

【提出日】 平成15年 1月31日

【あて先】 特許庁長官殿

【国際特許分類】 H03L 7/16

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
製作所 半導体グループ内

【氏名】 光本 欽哉

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【代理人】

【識別番号】 100081938

【弁理士】

【氏名又は名称】 徳若 光政

【電話番号】 0422-46-5761

【手数料の表示】

【予納台帳番号】 000376

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 同期化回路及び同期化方法

【特許請求の範囲】

【請求項 1】 基準パルスと、

上記基準パルスと同期化させるべき第 1 パルス及び上記第 1 パルスに対して位相が一定時間だけ進んだ第 2 パルス及び遅れた第 3 パルスを形成する第 1 可変遅延回路と、

上記基準パルスと上記第 1 パルスを比較する第 1 位相比較回路と、

上記基準パルスと上記第 2 パルス及び第 3 パルスとを比較する第 2 位相比較回路と、

上記第 1 位相比較回路の比較出力と第 2 位相比較回路の比較出力とを受けて上記第 1 可変遅延回路の制御電圧を形成する制御電圧発生回路とを備え、

上記制御電圧発生回路により上記第 2 位相比較回路の比較出力を第 1 位相比較回路の比較出力に対して優先させて制御電圧を形成し、第 2 位相比較回路により上記基準パルスと上記第 2 パルス又は第 3 パルスとの位相が一致した後は、上記第 1 位相比較回路の比較出力により上記制御電圧を形成することを特徴とする同期化回路。

【請求項 2】 請求項 1 において、

上記可変遅延回路は、単位可変遅延回路の複数個からなり、

上記第 2 パルスは、上記第 1 パルスを形成する単位遅延回路の入力パルスであり、

上記第 3 パルスは、上記第 1 パルスを受ける単位遅延回路の出力パルスであることを特徴とする同期化回路。

【請求項 3】 請求項 2 において、

上記同期化回路は、半導体集積回路装置に搭載され、

上記同期化回路は、第 1 可変遅延回路の上記第 1 パルスを形成する単位遅延回路の複数から構成され、上記制御電圧により遅延時間が制御される第 2 可変遅延回路を更に備え、

上記基準パルスは、半導体集積回路装置の外部端子から入力されて上記第 1 及

び第2可変遅延回路に入力され、

上記第2可変遅延回路から上記基準パルスに同期化したパルスを出力してなることを特徴とする同期化回路。

【請求項4】 請求項3において、

上記基準パルスは、入力バッファを介して上記第1、第2可変遅延回路に入力され、

上記第2可変遅延回路により形成された出力パルスは、出力バッファを介して外部端子から出力され、

上記入力バッファと上記第1可変遅延回路との間には、上記入力バッファ及び出力バッファと等価な遅延時間を持つレプリカ回路が設けられることを特徴とする同期化回路。

【請求項5】 請求項4において、

上記基準パルスを分周する分周回路と、

上記基準パルスを上記分周回路と同じ分周比に分周し、かつ分周比に対応した多相クロックに分配する分周分配回路と、

上記分周分配回路の多相クロックをそれぞれ遅延させる複数からなる第2可変遅延回路と、

上記第2可変遅延回路の遅延出力を受けて、上記基準パルスに対応したパルスを生成する波形合成回路とを更に備えてなることを特徴とする同期化回路。

【請求項6】 基準パルスと、

上記基準パルスを分周する分周回路と、

上記分周回路の分周パルスと同期化させるべき第1パルスを形成する第1可変遅延回路と、

上記分周パルスと上記第1パルスを比較する第1位相比較回路と、

上記基準パルスを分周し、かつ分周比に対応した多相クロックを形成する分周分配回路と、

上記第1可変遅延回路と同じ構成とされ、上記分周分配回路で形成された多相クロックをそれぞれ遅延させる複数からなる第2可変遅延回路と、

上記第2可変遅延回路の複数からなる遅延出力を受けて、上記基準パルスに対

応したパルスを生成する波形合成回路と、

上記第 1 位相比較回路の比較出力を受けて上記第 1 可変遅延回路及び第 2 可変遅延回路の制御電圧を形成する制御電圧発生回路とを備えてなることを特徴とする同期化回路。

【請求項 7】 請求項 6 において、

上記同期化回路は、半導体集積回路装置に搭載され、

上記基準パルスは、半導体集積回路装置の外部端子から入力されて上記第 1 及び第 2 可変遅延回路に入力されることを特徴とする同期化回路。

【請求項 8】 第 1 可変遅延回路により基準パルスと同期化させるべき第 1 パルス及び上記第 1 パルスに対して位相が一定時間だけ進んだ第 2 パルス及び遅れた第 3 パルスを形成し、

第 1 位相比較回路により上記基準パルスと上記第 1 パルスを比較し、

第 2 位相比較回路により上記基準パルスと上記第 2 パルス及び第 3 パルスとを比較し、

制御電圧発生回路により上記第 2 位相比較回路の比較出力を第 1 位相比較回路の比較出力に対して優先させて制御電圧を形成して、上記基準パルスと上記第 2 パルス又は第 3 パルスとの位相を一致させ、かかる位相の一致の後に、上記第 1 位相比較回路の比較出力により上記制御電圧を形成して上記基準パルスと上記第 1 パルスとの位相を一致させるようにしてなることを特徴とする同期化方法。

【請求項 9】 分周回路により基準パルスを分周し、

第 1 可変遅延回路により上記分周回路の分周パルスと同期化させるべき第 1 パルスを形成し、

第 1 位相比較回路により上記分周パルスと上記第 1 パルスを比較し、

分周分配回路により上記基準パルスを分周し、かつ分周比に対応した多相クロックを形成し、

上記第 1 可変遅延回路と同じ構成とされた第 2 可変遅延回路の複数個により、上記分周分配回路で形成された多相クロックをそれぞれ遅延させ、

波形合成回路により上記第 2 可変遅延回路の複数からなる遅延出力から上記基準パルスに対応したパルスを生成し、

制御電圧発生回路により上記第1位相比較回路の比較出力に対応して上記第1可変遅延回路及び第2可変遅延回路の制御電圧を形成してなることを特徴とする同期化方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、同期化回路と同期化方法に関し、例えば、半導体集積回路装置に設けられるDLL（又はPLL）回路に適用される位相同期化技術に利用して有効な技術に関するものである。

【0002】

【従来の技術】

粗調、微調を連続で切り換えるPLL回路の例として、特開平08-307254号公報がある。また、タイミング分割、合成回路を備えた逡倍回路の例として、特開平11-004145号公報がある。

【0003】

【特許文献1】

特開平08-307254号公報

【特許文献2】

特開平11-004145号公報

【0004】

【発明が解決しようとする課題】

上記特許文献1に記載の技術では、粗調、微調を位相比較パルスの積分によって行っているため、位相が大きくずれた場合の追従性が悪いことが問題である。上記特許文献2に記載の技術は、入力波形の逡倍を行うことが目的で、さらに、その信号をPLL回路の入力としているだけである。半導体集積回路装置では、動作周波数は益々高くなる傾向にある。したがって、かかる半導体集積回路装置に搭載されるDLL回路やPLL回路を用いた同期化回路においても、高い動作周波数において、応答性が高く、かつジッタの少ない安定した同期化信号を得ることが望まれる。しかしながら、上記特許文献1に代表されるように応答性（追

従性)と安定性は相反する関係にある。また、周波数が高くなると、伝達される波形がくずれてしまい、正しい位相比較ができなくなってしまうという問題も発生する。

【0005】

この発明の目的は、簡単な構成により応答性と安定性を両立させた同期化回路及び同期化方法を提供することにある。この発明の他の目的は、高周波数まで安定した同期化信号を得ることが可能な同期化回路と同期化方法を提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0006】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。基準パルスと同期化させるべき第1パルスに加えて上記第1パルスに対して位相が一定時間だけ進んだ第2パルス及び遅れた第3パルスを第1可変遅延回路で形成し、上記基準パルスと上記第1パルスを第1位相比較回路で比較し、上記基準パルスと上記第2パルス及び第3パルスとを第2位相比較回路で比較し、上記第1位相比較回路の比較出力と第2位相比較回路の比較出力とを受ける制御電圧発生回路により、上記第2位相比較回路の比較出力を第1位相比較回路の比較出力に対して優先させて制御電圧を形成し、第2位相比較回路により上記基準パルスと上記第2パルス又は第3パルスとの位相が一致した後は、上記第1位相比較回路の比較出力により上記制御電圧を形成して上記第1可変遅延回路の遅延時間を制御する。

【0007】

本願において開示される発明のうち他の代表的なものの概要を簡単に説明すれば、下記の通りである。基準パルスを分周回路で分周し、この分周パルスと同期化させるべき第1パルスを第1可変遅延回路で形成し、上記分周パルスと上記第1パルスを第1位相比較回路で比較し、上記基準パルスを上記分周回路と同じ分周比で分周し、かつ分周比に対応した多相クロックを分周分配回路で形成し、上記第1可変遅延回路と同じ構成とされ、上記分周分配回路で形成された第2可変

遅延回路により多相クロックをそれぞれ遅延させ、上記第1位相比較回路の比較出力を受ける制御電圧発生回路により上記第1可変遅延回路及び第2可変遅延回路の制御電圧を形成し、上記第2可変遅延回路による複数の遅延出力を波形整形回路に伝えて上記基準パルスに対応したパルスを生成する。

【0008】

【発明の実施の形態】

図1には、この発明に係るDLL（ディレー・ロックド・ループ）回路の一実施例のブロック図が示されている。この実施例のDLL回路は、外部クロック入力と同期化された外部クロック出力を形成するものであり、DLL部と外部クロック入力を遅延させる遅延部とにより構成される。この実施例では、更に高周波数まで精度の高い位相制御動作及び遅延動作を実現するための工夫が組み込まれている。

【0009】

この実施例では、DLL部においては粗調範囲と微調範囲とを明確に分けて位相制御が行われるようにされる。具体的には、DLL部の可変遅延回路1において標準遅延信号DLに対し、可変遅延段の1段前の遅延信号DL-1と1段後の遅延信号DL+1が形成される。つまり、可変遅延回路1は、単位可変遅延段が複数段により構成され、入力パルスに対して1ないし複数周期遅れた標準遅延信号DLが形成し、この単位可変遅延段の1つ前の遅延信号がDL-1であり、1つ後の遅延信号がDL+1である。

【0010】

この実施例のDLL回路では、後に詳しく説明するが、更に高周波数まで精度の高い位相制御動作及び遅延動作を実現するために分周器により周波数を低くし、レプリカ回路を介して可変遅延回路1に入力される。この可変遅延回路1の上記標準遅延信号DL及び上記遅延信号DL-1、DL+1と分周器の分周出力（レプリカ回路の入力信号）と位相比較器により比較される。

【0011】

上記位相比較器は、標準遅延信号DLに対応した位相比較結果UP/DNと、遅延信号DL-1、DL+1に対応した位相比較結果UP0/DN0を形成する。

チャージポンプ&フィルタは、上記位相比較結果を受けて遅延量制御信号を形成して上記可変遅延回路 1 の遅延時間を制御する。これにより、分周器の出力とそれを遅延させた標準遅延信号 D L の位相を一致させる。つまり、標準遅延信号 D L に対して 1 ないし複数周期遅れて入力された入力パルスとの位相を一致させるようにするものである。

【 0 0 1 2 】

上記入力バッファを通して入力されたパルスは、分周・分配器により分周され、かつ分周比に対応した複数信号に分配され、上記可変遅延回路 1 と同じ構成の可変遅延回路 2 により遅延される。この可変遅延回路 2 は、上記可変遅延回路 1 の標準遅延信号 D L を形成する単位可変遅延段により構成される。上記可変遅延回路 2 で遅延された複数の遅延信号は、波形合成器により合成されてもとの入力バッファを通して入力された入力パルスと同じ周波数のパルスに変換され、出力バッファを通して外部クロック出力として出力される。

【 0 0 1 3 】

上記 D L L 回路のレプリカ回路は、上記出力バッファ、入力バッファ、分周・分配器及び波形合成器からなる波形分割／合成回路等と同じ回路により構成されて、かかる回路での信号遅延がモニタされる。このような信号遅延を含んで上記可変遅延回路 1 では、上記のように標準遅延信号 D L に対して 1 ないし複数周期遅れて入力された入力パルスとの位相を一致させるような遅延量制御信号を形成するので、可変遅延回路 2 でも上記可変遅延回路 1 と同じ遅延量を持つようにされる。この結果、外部クロック出力は、外部クロック入力に同期したパルスとして出力させることができる。

【 0 0 1 4 】

半導体集積回路装置において、外部クロック入力を取り込んでそれを電力増幅して外部クロック出力を形成すると、入力バッファ部及び出力バッファ部での信号遅延が生じるので、上記のように電力増幅して出力すると必ず遅れた外部クロック出力を形成することとなる。この実施例の D L L 回路を用いることにより、上記入力バッファ及び出力バッファでの信号遅延を補償して外部クロック入力に同期化された外部クロック出力を形成することができる。

【0015】

この実施例のDLL回路においては、可変遅延回路1において上記DLとDL-1及びDL+1を形成し、位相比較器において入力パルスとDLの位相差が単位可変遅延段の1段分のディレイ量を超えると粗調回路が動作し、1段分のディレイ量以内のずれならば微調で調節するように、粗調範囲と微調範囲とを明確に分けて位相制御が行われる。これにより、このような粗調範囲と微調範囲のそれぞれに対応してループゲインを最適に設定することにより、高速応答性と高安定性とを両立させて位相制御動作を実現することができる。

【0016】

上記可変遅延回路2は、可変遅延回路1と同じ回路が用いられるが、その場合では周波数が高くなる可変遅延回路1、2に与える制御電圧がアンバランスになり信号が伝達出来なくなるという問題が発生する。可変遅延回路1の波形消滅の回避については制御回路全体に分周した信号を与えることで動作周期を落とすことで可能であるが、可変遅延回路2は入力信号周期そのまま遅らせなければならない為、波形消滅が発生しやすい。この実施例では、可変遅延回路2部の動作周期を落とした多相の信号を作成し、それを可変遅延回路2を通し波形の変形あるいは消滅を防止する。そして、波形合成器により複数の信号から元の周期の信号に復元させることで解決する。

【0017】

図2には、この発明に用いられる可変遅延回路の一実施例の回路図が示されている。この実施例の可変遅延回路は、PチャネルMOSFETQ1のゲート電圧VPG、NチャネルMOSFETQ3のゲート電圧VNGでそれぞれの電流を制御し、入力信号INを受けて出力信号OUTを形成するPチャネルMOSFETQ2とNチャネルMOSFETQ4からなるCMOSインバータで構成した可変遅延回路の複数個を縦列接続して、遅延信号DL-1は2n-1段、遅延信号DLは2n段及び遅延信号DL+1は2n+1段の遅延段のノードが出力される回路となっている。途中にあるゲートは測調用可変遅延回路の出力信号をリセットするためのものである。

【0018】

上記MOSFET Q1とQ3には、定電圧を受けて定電流を流すようにしたPチャネルMOSFET及びNチャネルMOSFETを並列形態に設け、上記制御電圧VPGやVNGが絶対値的に小さくなったときの信号伝達を可能とすることが望ましい。すなわち、このような定電流MOSFETを設けることによって、上記制御電圧VPGやVNGが絶対値的に小さくなってMOSFET Q1やQ3がオフ状態となったときにも、上記定電流によりCMOSインバータを動作させ、単位遅延回路での最大遅延時間を上記定電流により設定することにより安定した遅延動作を確保することができる。

【0019】

図3には、この発明に係るDLL回路における粗調／微調の同期化動作の説明図が示されている。同図においては、入力クロック周期 \leq 可変遅延回路遅延時間の場合が示されている。つまり、可変遅延回路の遅延時間が大きすぎるので、可変遅延回路1の $2N-1$ 段目の遅延信号DL-1と入力パルスとが一致するように粗調同期化動作が実施される。この同期化動作は、DLLループゲインが高く設定されており、急速に $2N-1$ 段目の遅延信号DL-1が入力クロック周期に一致させられる。

【0020】

上記粗調での同期化動作が完了すると微調同期化動作に移行する。この微調同期化動作は、DLLループゲインが小さく設定されており、緩速に $2N$ 段目の標準遅延信号DLが入力クロック周期に同期化させられる。上記のように微調同期化動作は緩速であるが、その位相制御量そのものが可変遅延回路1の1段分の遅延時間に相当する短い時間であるので同期化に要する時間は短くなる。つまり、粗調と微調からなる全体の同期化に要する時間は、上記粗調動作での短時間での同期化完了によって極めて速くできるとともに、微調同期化動作により最終的に目標とする入力クロックとの同期化を図るために高い精度で安定した、つまりはジッタの少ない同期化動作を実現することができる。

【0021】

図4には、この発明に係るDLL回路における粗調／微調の同期化動作の説明図が示されている。同図においては、入力クロック周期 \gg 可変遅延回路遅延時間

の場合が示されている。つまり、可変遅延回路の遅延時間が小さすぎるので、可変遅延回路 1 の $2N+1$ 段目の遅延信号 $DL+1$ と入力パルスとが一致するように粗調同期化動作が実施される。この同期化動作は、 DLL ループゲインが高く設定されており、急速に $2N+1$ 段目の遅延信号 $DL+1$ が入力クロック周期に一致させられる。

【0022】

上記粗調での同期化動作が完了すると微調同期化動作に移行する。この微調同期化動作は、 DLL ループゲインが小さく設定されており、緩速に $2N$ 段目の標準遅延信号 DL が入力クロック周期に同期化させられる。前記同様に微調同期化動作は緩速であるが、その位相制御量そのものが可変遅延回路 1 の 1 段分の遅延時間に相当する短い時間であるので同期化に要する時間は短くなり、かつジッタの少ない安定した同期動作が可能となる。

【0023】

図 5 には、この発明に係る DLL 回路を説明するための動作特性図が示されている。同図においては、横軸に時間を示し、縦軸に位相（周波数）を示している。この発明に係る DLL 回路は、特性 a に示すように粗調範囲では DLL ループゲインを高くして急速に位相（周波数）を変化させる。そして、微調領域に入ると DLL ループを小さくして緩速に位相（周波数）を変化させて目標である入力クロックに短い時間で同期化させる。

【0024】

これに対して、 DLL ループゲインを一定にした場合には、特性 b に示すように DLL ループゲインを高く設定して、位相の立ち上がり時間を急にすると最初オーバースウィングし、振動する様な軌跡を描いて収束するので、同期化するまで時間が t_2 のように遅くなってしまう。図示しないが、入力パルスとの微妙な位相ずれにも過剰に反応してジッタ（位相のゆれ）が生じてしまうという問題も有する。また、特性 d に示すように DLL ループゲインを小さく設定して、ジッタの少ない安定した同期化クロックを形成しようとする、同期化するまでの時間が t_1 のように更に遅くなってしまう。特性 c は、上記オーバースウィングが無い最適条件に設定した場合の例である。このように最適に設定しても、同期化す

るまでの時間が t_3 のようにやはり遅くなってしまう。もっとも、素子特性のバラツキ等を考慮すると、上記最適条件での同期化動作は実際には難しく、結局は上記時間 t_3 よりも長い時間を費やすこととなる。

【0025】

本願発明では、粗調範囲ではオーバースイングに配慮を行う必要がないので、逆にいうならば、DLL ループゲインを大きくして立ち上がりを急にしても一致する手前で DLL ループゲインが小さく自動的に切り替わることで微調に入るため、オーバースイングしないでそこからゆっくりと位相が一致する（同期化）方向に動作することで高速に収束するものとなる。これにより、高感度（高応答性）と高安定性を両立させ DLL 回路を実現することができる。

【0026】

図 6 には、この発明に係る DLL 回路の制御系回路の一実施例の回路図が示されている。VCD は可変遅延回路 1 であり、前記のように入力パルスと同期化させるべき標準遅延信号 DL と、1 段前の遅延信号 $DL-1$ 、1 段後の遅延信号 $DL+1$ を形成する。この実施例の制御系回路は、DLL 制御回路、粗调用位相比較器、微调用位相比較器、粗調／微調切替信号発生回路及び DLL LOCK 信号発生回路から構成される。

【0027】

この実施例の DLL 回路は、入力パルスと可変遅延回路 VCD の遅延パルスとを常時位相比較器で比較するのではなく、DLL 制御回路で形成された制御信号により入力パルスの 4 周期に 1 回の割合で位相比較動作を行うようにされる。つまり、DLL 制御回路において、ラッチ回路 REG により $1/4$ 分周したパルスを形成し、それと入力パルス CK とを組み合わせることにより、入力パルス CK の 4 周期に 1 回の割り合いでリセットパルス RESET1、FFRES1、RESFF5 を形成し、位相比較動作を有効とするイネーブル信号 ENABLEB を形成する。

【0028】

粗调用位相比較器は、上記 DLL 制御回路で生成されたりセットパルス FFRES1 でリセットさせた一方のフリップフロップ回路 RSFF を遅延信号 DL-

1でセットすることにより、遅延量が大きすぎるときのパルスCDUPTを形成し、それと入力パルスCK2X（入力パルスCK0の1/4分周パルス）と比較してアップ信号UP0を形成する。逆に、上記リセットパルスFFRES1でリセットさせた他方のフリップフロップ回路RSFFを遅延信号DL+1でセットすることにより、遅延量が小さすぎるときのパルスCDDNTを形成し、それと入力パルスCK2X（入力パルスCK0の1/4分周パルス）と比較してダウン信号DN0を形成する。

【0029】

上記の構成により、粗調用位相比較器では、入力パルスCK0（CK2X）に対して遅延信号DL-1の位相が遅れているときにアップ信号UP0を形成し、入力パルスCK0（CK2X）に対して遅延信号DL+1の位相が進んでいるときにダウン信号DN0形成する。そして、上記以外のとき、つまりは標準遅延信号DLと入力パルスとの位相差がDL-1とDL+1の範囲ならば上記信号UP0，DN0を形成しない。

【0030】

上記アップ信号UP0又はDN0が形成されると、粗調／微調切替信号発生回路のフリップフロップ回路RSFFをセットする。このフリップフロップ回路RSFFをラッチ回路REGに取り込み、ゲート回路を介してイネーブル信号ENBLEを生成する。この信号ENBLEにより微調用位相比較器の動作を有効とする。

【0031】

微調用位相比較器は、上記DLL制御回路で生成されたりセットパルスFFRES1でリセットさせたフリップフロップ回路RSFFを遅延信号DLでセットすることにより、比較用パルスDL0EとDL0Fを形成し、それと入力パルスCK2X（入力パルスCK0の1/4分周パルス）と比較してアップ信号UPとダウン信号DNを形成する。このアップ信号UPとダウン信号DNを形成するのに上記イネーブル信号ENBLEが用いられる。

【0032】

上記微調用位相比較器において、アップ信号UPとダウン信号DNが形成され

ない状態は、入力パルス $CX2$ と遅延信号 DL との位相が一致したロック状態である。 DLL LOCK 信号発生回路は、いずれの信号 UP と DN も発生されないことをフリップフロップ回路 $RSFF$ により検出し、上記粗調／微調切替信号発生回路からの同期信号との論理を採ることにより、ロック検出信号 $LOCK$ を生成する。特に制限されないが、このロック検出信号 $LOCK$ は、 DLL 回路がロック状態であることを他の回路に通知する信号とされる。 DLL 回路としては、上記 DLL LOCK 検出信号発生回路は必須のものではなく、 DLL 回路を利用する回路の要求に応じて適宜に設けられる。

【0033】

この実施例では、上記のような粗调用位相比較器、微调用位相比較器及びその切替を行う粗調／微調切替信号発生回路と、それと動作を制御する DLL 制御回路の組み合わせにより、前記のような短時間での位相同期化と同期化したときの安定性を実現する。上記のような同期化状態において、何らかの事情で入力パルスの周期が前記標準遅延信号 DL と入力パルスとの位相差が $DL-1$ と $DL+1$ の範囲をはずれて大きく変化すると、粗调用位相比較器は、再びアップ信号 $UP0$ 又はダウン信号 $DN0$ を形成する。これにより、粗調／微調切替信号発生回路は微调用位相比較器の出力信号を制限し、上記粗调用位相比較器の出力信号 $UP0$ 又は $DN0$ を優先させるので、極く短い時間で再び標準遅延信号 DL と入力パルスとの位相差が $DL-1$ と $DL+1$ の範囲となるような位相制御動作が行われて、その後は微调用位相比較器での同期化動作が実施される。

【0034】

図7には、図1のチャージポンプ&フィルタの一実施例の回路図が示されている。この実施例のチャージポンプ&フィルタは、チャージポンプ回路に加えて可変遅延制御電圧発生回路が付加される。上記アップ信号 UP は、駆動用のインバータ回路を介してPチャネルMOSFET $Q5$ のゲートに供給されて、抵抗 R を介して平滑用のキャパシタ $C1$ の保持電圧を高くするような電流を流す。上記ダウン信号 DN は、駆動用のインバータ回路を介してNチャネルMOSFET $Q7$ のゲートに供給されて、抵抗 R を介して上記キャパシタ $C1$ の保持電圧を低くするような電流を流す。

【0035】

上記アップ信号UP0は、駆動用のインバータ回路を介してPチャネルMOSFETQ6のゲートに供給されて、抵抗R0を介して平滑用のキャパシタC1の保持電圧を高くするような電流を流す。上記ダウン信号DN0は、駆動用のインバータ回路を介してNチャネルMOSFETQ8のゲートに供給されて、抵抗R0を介して上記キャパシタC1の保持電圧を低くするような電流を流す。

【0036】

上記MOSFETQ5～Q8のコンダクタンスを $Q6 < Q5$ 、 $Q7 < Q8$ として、抵抗の抵抗値を $R > R0$ のように設定することにより、粗調用の信号UP0又はDN0でのキャパシタC1の保持電圧を変化させる電流を大きくして、つまりはDLLのループゲインを大きくして粗調動作での位相変化量を急速にする。逆にいうならば、MOSFETQ5、Q7に流れる電流を小さくし、抵抗Rの抵抗値が大きくされることにより、微調用の信号UP又はDNでのキャパシタC1の保持電圧を変化させる電流を小さくして、つまりはDLLのループゲインを小さくして微調動作での位相変化量を緩速ににする。

【0037】

上記キャパシタC1の保持電圧VPは、可変遅延制御電圧発生回路により図8に示したような制御電圧VNGとVPGに変換させられる。つまり、上記電圧VPは、PチャネルMOSFETQ9とQ10のゲートに供給して電流信号に変換される。MOSFETQ9の電流は、キャパシタC3を放電させるのに用いられ、上記電圧VPをゲートに受けるMOSFETQ12とそれに接続された抵抗は、上記キャパシタC3の充電電流経路を構成し、上記MOSFETQ9の放電電流との合成が行われて、電圧VPを反転させたような制御電圧VPGを形成する。この制御電圧VPGは、前記図2のPチャネルMOSFETQ1等のゲートに供給される。

【0038】

上記MOSFETQ10で形成された電流は、NチャネルMOSFETQ13とQ14からなる電流ミラー回路に供給され、かかるミラー出力電流はキャパシタC4の放電電流として用いられる。上記電圧VPGをゲートに受けるMOSF

ETQ11とそれに接続された抵抗は、上記キャパシタC4の充電電流経路を構成し、上記MOSFETQ14との放電電流との合成が行われ、電圧VPと同様に変化する制御電圧VNGを形成すに。この制御電圧VNGは、前記図2のNチャネルMOSFETQ3等のゲートに供給される。

【0039】

上記のように位相比較出力を平滑するキャパシタC1で形成された電圧VPを上記のような相補の制御電圧VPGとVNGに変換することにより、可変遅延回路を構成するCMOSインバータ回路の動作電流制御範囲を広くでき、結果としてCMOSインバータ回路での可変遅延範囲を広くすることができる。この場合、制御信号VPGとVNGを有効を有効利用するために、図2の可変遅延段において、MOSFETQ1とQ3にはそれぞれ並列形態に最大遅延時間に対応された定電流を流すPチャネルMOSFETとNチャネルMOSFETとを設けることが望ましい。

【0040】

図9には、この発明に係るDLL回路の動作を説明するための波形図が示されている。図9(a)は粗調での周波数上昇(UP)の波形図であり、(b)は粗調での周波数下降(DN)の波形図であり、(c)は微調での周波数上昇(UP)の波形図であり、(d)は微調での周波数下降(DN)の波形図である。

【0041】

(a) UP粗調動作は、入力パルスCKXの1/2分周パルスCK2Xの立ち上がりから、遅延信号DL-1の立ち上がり(図6のCDUPT)との位相差が信号DISABLEのハイレベルの期間に(=イネーブル信号ENABLEBのロウレベル期間)にアップ信号UP0として出力される。この信号UP0により上記キャパシタC1の電位VPを上昇させ、図8の特性に従いNチャネルMOSFETQ3のゲート制御電圧VNGが上昇して電流を増加させ、PチャネルMOSFETQ1のゲート制御電圧VPGが低下して電流を増加させる。これにより、単位可変遅延段での遅延時間が短くなり、図3に示したように急速に遅延信号DL-1と入力パルスCK2Xとの位相合わせが行われる。

【0042】

(c) UP微調動作は、上記(a)の粗調完了後に切替られて実行され、入力パルスCK2Xと遅延信号DL0Eとの位相差に対応したアップ信号UPが形成され、上記同様に上記キャパシタC1の電位VPを上昇させ、図8の特性に従い単位可変遅延回路の遅延時間を短くする。このとき、上記アップ信号UPによるキャパシタC1の電圧VPの変化率が小さく、言い換えるならば、DLLループゲインが小さくなっているので可変遅延回路1での遅延時間の変化幅も小さくなっている。

【0043】

(b) DOWN粗調動作は、遅延信号DL+1の立ち上がり(図6のCDDNT)から入力パルスCKXの1/2分周パルスCK2Xの立ち上がりまでの位相差が信号DISABLEのハイレベルの期間に(=イネーブル信号ENABLEBのロウレベル期間)にダウン信号DN0として出力される。この信号DN0により上記キャパシタC1の電位VPを低下させ、前記同様に図8の特性に従いNチャネルMOSFETQ3のゲート制御電圧VNGが低下して電流を減少させ、PチャネルMOSFETQ1のゲート制御電圧VPGが上昇して電流を減少させる。これにより、単位可変遅延段での遅延時間が長くなり、図4に示したように急速に遅延信号DL+1と入力パルスCK2Xとの位相合わせが行われる。

【0044】

(d) DOWN微調動作は、上記(b)の粗調完了後に切替られて実行され、入力パルスCK2Xと遅延信号DL0Fとの位相差に対応したダウン信号DNが形成され、上記同様に上記キャパシタC1の電位VPを低下させ、図8の特性に従い単位可変遅延回路の遅延時間を長くする。このとき、上記ダウン信号DNによるキャパシタC1の電圧VPの変化率が小さく、言い換えるならば、DLLループゲインが小さくなっているので可変遅延回路1での遅延時間の変化幅も小さくなっている。

【0045】

図10には、可変遅延回路の要求動作範囲の説明図が示されている。図10(a)においては、可変遅延回路のみで動作目標周期を制御するものであり、例えば動作目標周期=2ns~10nsのとき、前記図2に示した単位可変遅延段を

10段で構成される。これに対して、図10(b)では、可変遅延回路+内部回路であり、内部回路としては通常回路やレプリカ回路である。この例において、上記同様に動作目標周期 $=2\text{ ns} \sim 10\text{ ns}$ を実現するには、上記通常回路やレプリカ回路での固定的な遅延時間 1 ns が含まれるので、可変遅延回路としては5段の単位可変遅延回路とし、かかる5段の回路で $1\text{ ns} \sim 9\text{ ns}$ のような遅延時間を形成することが必要となる。

【0046】

上記図10(a)においては、可変遅延回路の1段当たりの動作範囲は、 $0.2\text{ ns} \sim 1.0\text{ ns}$ となり、最遅/最速比 $=5$ になるのに対して、図10(b)の例では、可変遅延回路の1段当たりの動作範囲は、 $0.2\text{ ns} \sim 1.8\text{ ns}$ となり、最遅/最速比 $=9$ になる。このことは、同じ素子で回路を構成した場合には、図10(a)においては、最遅時の可変遅延回路の内部波形は、動作電圧 $V_{DD}-V_{SS}$ の範囲でフル振幅する信号とすることができる。

【0047】

しかしながら、図10(b)においては、最遅時の可変遅延回路の内部波形は、動作電圧 $V_{DD}-V_{SS}$ の範囲でフル振幅ができなくなる。つまり、遅延時間を稼ぐためにCMOSインバータ回路の動作電流が絞られてその立ち上がり（又は立ち下がり）が遅くなり、同図のように立ち上がりが遅いときには電源電圧 V_{DD} に到達する前に入力信号がハイレベルに変化して出力信号を立ち下げてしまう。

【0048】

上記のようにMOSFET Q1、Q3によりCMOSインバータ回路の動作電流を制御して遅延時間を変化させる構成では、PチャネルMOSFETとNチャネルMOSFETとの電流を等しく設定することが難しく、いずれかの電流が大きくなるようなオフセットを持つ。この結果、上記のようなフル振幅できない信号を順次に伝達していく過程で伝達パルスが消滅してしまうという問題が生じる。このことは、図10(a)のように可変遅延回路のみで所望の遅延時間を得る場合でも、入力パルスの周波数が高くなることによって、図10(b)の場合と同様にフル振幅できない信号を順次に伝達していく過程で伝達パルスが消滅して

しまうという問題が生じる。

【0049】

図11には、図10のパルス消滅対策例が示されている。図11(a)では、入力パルスを $f/2$ 分周して2倍の周期で動作させるものであり、(b)では $f/4$ 分周して4倍の周期で動作させるものである。このような $1/2$ 分周によって動作目標周期 $2\text{ ns} \sim 10\text{ ns}$ を $4\text{ ns} \sim 20\text{ ns}$ のように拡大させ、 $1/4$ 分周によって動作目標周期 $2\text{ ns} \sim 10\text{ ns}$ を $8\text{ ns} \sim 40\text{ ns}$ のように拡大させる。

【0050】

したがって、レプリカ回路の固定遅延時間は 1 ns であるとする、 $1/2$ 分周の場合には、可変遅延回路の単位可変遅延段の段数を16段のように増加させ、 $1/4$ 分周の場合には、可変遅延回路の単位可変遅延段の段数を32段のように増加させることができる。この結果、 $1/2$ 分周の場合には、可変遅延回路の1段当たりの動作範囲が $0.2\text{ ns} \sim 1.27\text{ ns}$ のように最遅/最速比=6.33となり、 $1/4$ 分周の場合には、可変遅延回路の1段当たりの動作範囲が $0.2\text{ ns} \sim 1.11\text{ ns}$ のように最遅/最速比=5.55となり、前記図10(a)のように最遅時の可変遅延回路の内部波形は、動作電圧 $V_{DD} - V_{SS}$ の範囲でフル振幅する信号とすることができる。

【0051】

図1の実施例回路において、可変遅延回路1は、位相同期化制御を行うものである、上記のように分周器を設けて伝達させるパルスの周期を長くすることにより、上記可変遅延回路1においてパルスが消滅してしまうことを防止することができる。これに対して、可変遅延回路2は入力信号周期そのまま遅らせなければならない為、上記の理由によって波形消滅が発生しやすい。図1の実施例では、可変遅延回路2の動作周期を落とした多相の信号を作成し、それを可変遅延回路2を伝達させるようにして波形の変形あるいは消滅を防止する。そして、波形合成回路により複数の信号から元の周期の信号に復元させることで上記パルスの消滅や変形の問題を解決する。

【0052】

図 1 2 には、上記図 1 の分周・分配器と可変遅延回路 2 及び波形合成器の一実施例のブロック図が示されている。この実施例では、入力パルス波形を波形分周分配回路により $1/4$ 分周し、入力パルスの半周期ずつ位相が異なる 4 つのパルスに分配し、それを 4 つの可変遅延回路に伝える。そして、波形合成回路では 4 つの遅延信号を合成して、入力パルスと同じ周期の出力信号を再生するものである。

【 0 0 5 3 】

図 1 3 には、上記図 1 2 の分周・分配器と可変遅延回路 2 及び波形合成器の一実施例の回路図が示されている。入力パルス CK は、図 1 4 に示した動作波形図に示すように入力バッファ IB により正相出力 CT と反転出力 CB が形成され、それをレジスタ ($1/2$ 分周器) $REG1$, $REG2$ により分周し、 $CTX2T$ (その反転信号 $CXT2B$ 図示せず) 及び $CBX2T$ (その反転信号 $CBX2B$ 図示せず) が形成される。

【 0 0 5 4 】

上記信号 $CTX2T$ 、 $CXT2B$ 及び $CBX2T$ 、 $CBX2B$ をレジスタ ($1/2$ 分周器) $REG3 \sim REG6$ のクロックとし、それぞれ出力信号を他のレジスタに帰還させて $1/2$ 分周動作を行わせることにより、周期が 4 倍で入力パルス CK の半周期ずつずれた 4 つのパルス $CTX4T$ 、 $CBX4T$ 、 $CTX4B$ 、 $CBX4B$ を形成し、図 1 の可変遅延回路 1 ($VCD1$) と同じ遅延段の可変遅延回路 $VCD2$ に伝える。これらの遅延信号は、排他的論理和回路 $XOR1$ 、 $XOR2$ 及び $XOR3$ からなる波形合成回路によりもとのパルスに対応した出力信号 $CTX1TR$ が再生される。この構成により、上記可変遅延回路 $VCD2$ でのパルス消滅や変形が防止でき、高周波数までの正確に位相同期した出力信号 $CTX1TR$ を形成することができる。

【 0 0 5 5 】

図 1 5 には、この発明に係る DLL 回路の他の一実施例のブロック図が示されている。この実施例では、微調の位相比較器を別の場所で行う例である。微調の位相比較器で比較する信号は入力バッファの出力の信号と外部クロック出力用の入力部に別の出力バッファと入力バッファ (レプリカ回路) を設けその出力信号を比較する。こうすることで同じ入力バッファの出口、つまりは実際に出力する

遅延信号と比較することになり、直接的な位相同期化を行うようにすることができる。

【0056】

上記の実施例では、前記図1の可変遅延回路2で採用した技術により長い周期に対応可能となり動作範囲が広がる。また、粗調／微調の動作範囲を分けているため、大きくずれた場合のオーバースウィングを押さえて急速に一致させることができる。粗調／微調の動作範囲を分けているため、微調のステップを小さく設定できることでジッタを小さくすることができる。そして、ロック状態から何らかの原因で入力パルスとの位相が大きくずれた場合、粗調回路が自動的に動作し急速に一致させることが出来る。つまり、粗調／微調の動作範囲を分けているため、微調の範囲（±1段の可変遅延構成単位分）を超えると粗調回路が動作し周期が小さく（±1段の可変遅延構成単位分以下に）なると微調で一致させることが可能となるものである。

【0057】

図16には、この発明が適用されるDDR SDRAM（Double Data Rate Synchronous Dynamic Random Access Memory）の一実施例の全体ブロック図が示されている。この実施例のDDR SDRAMは、特に制限されないが、4つのメモリバンクに対応して4つのメモリアレイ200A～200Dが設けられる。4つのメモリバンク0～3にそれぞれ対応されたメモリアレイ200A～200Dは、マトリクス配置されたダイナミック型メモリセルを備え、図に従えば同一列に配置されたメモリセルの選択端子は列毎のワード線（図示せず）に結合され、同一行に配置されたメモリセルのデータ入出力端子は行毎に相補データ線（図示せず）に結合される。

【0058】

上記メモリアレイ200Aの図示しないワード線は行（ロウ）デコーダ（Row DEC）201Aによるロウアドレス信号のデコード結果に従って1本が選択レベルに駆動される。メモリアレイ200Aの図示しない相補データ線はセンスアンプ（Sense AMP）202A及びカラム選択回路（Column DEC）203AのI/O線に結合される。センスアンプ202Aは、メモリセルからのデータ読出しによって夫

々の相補データ線に現れる微小電位差を検出して増幅する増幅回路である。それにおけるカラム選択回路 2 0 3 A は、上記相補データ線を各別を選択して相補 I / O 線に導通させるためのスイッチ回路を含む。カラムスイッチ回路はカラムデコード 2 0 3 A によるカラムアドレス信号のデコード結果に従って選択動作される。

【 0 0 5 9 】

メモリアレイ 2 0 0 B ないし 2 0 0 D も同様に、ロウデコード 2 0 1 B ~ D, センスアンプ 2 0 3 B ~ D 及びカラム選択回路 2 0 3 B ~ D が設けられる。上記相補 I / O 線は各メモリバンクに対して共通化されて、ライトバッファを持つデータ入力回路 (Din Buffer) 2 1 0 の出力端子及びメインアンプを含むデータ出力回路 (Dout Buffer) 2 1 1 の入力端子に接続される。端子 D Q は、特に制限されないが、1 6 ビットからなるデータ D 0 - D 1 5 を入力又は出力するデータ入出力端子とされる。D Q S バッファ (DQS Buffer) 2 1 5 は、上記端子 D Q から出力するデータのデータストロブ信号を形成する。

【 0 0 6 0 】

アドレス入力端子から供給されるアドレス信号 A 0 ~ A 1 4 は、アドレスバッファ (Address Buffer) 2 0 4 で一旦保持され、時系列的に入力される上記アドレス信号のうち、ロウ系アドレス信号はロウアドレスバッファ (Row Address Buffer) 2 0 5 に保持され、カラム系アドレス信号はカラムアドレスバッファ (Column Address Buffer) 2 0 6 に保持される。リフレッシュカウンタ (Refresh Counter) 2 0 8 は、オートマチックリフレッシュ (Automatic Refresh) 及びセルフリフレッシュ (Self Refresh) 時の行アドレスを発生する。

【 0 0 6 1 】

モードレジスタ (Mode Register) 2 1 3 は、各種動作モード情報を保持する。上記ロウデコード (Row Decoder) 2 0 1 A ないし D は、バンクセレクト (Bank Select) 回路 2 1 2 で指定されたバンクに対応したもののみが動作し、ワード線を選択動作を行わせる。コントロール回路 (Control Logic) 2 0 9 は、特に制限されないが、クロック信号 C L K、/ C L K (記号 / はこれが付された信号がロウイネーブルの信号であることを意味する)、クロックイネーブル信号 C K E、チ

チップセレクト信号／CS、カラムアドレスストローブ信号／CAS、ロウアドレスストローブ信号／RAS、及びライトイネーブル信号／WEなどの外部制御信号と、／DM及びDQSとモードレジスタ213を介したアドレス信号とが供給され、それらの信号のレベルの変化やタイミングなどに基づいてDDR SDRAMの動作モード、テストモード及び上記回路ブロックの動作を制御するための内部タイミング信号を形成するもので、それぞれに信号に対等した入力バッファを備える。

【0062】

クロック信号CLKと／CLKは、クロックバッファを介してDLL回路214に入力され、内部クロックが発生される。上記内部クロックは、特に制限されないが、データ出力回路211とDQSバッファ215の入力信号として用いられる。また、上記クロックバッファを介したクロック信号はデータ入力回路210や、列アドレスカウンタ207に供給されるクロック端子に供給される。

【0063】

他の外部入力信号は当該内部クロック信号の立ち上がりエッジに同期して有意とされる。チップセレクト信号／CSはそのロウレベルによってコマンド入力サイクルの開始を指示する。チップセレクト信号／CSがハイレベルのとき（チップ非選択状態）やその他の入力は意味を持たない。但し、後述するメモリバンクの選択状態やバースト動作などの内部動作はチップ非選択状態への変化によって影響されない。／RAS、／CAS、／WEの各信号は通常のDRAMにおける対応信号とは機能が相違し、後述するコマンドサイクルを定義するときには有意の信号とされる。

【0064】

クロックイネーブル信号CKEは次のクロック信号の有効性を指示する信号であり、当該信号CKEがハイレベルであれば次のクロック信号CLKの立ち上がりエッジが有効とされ、ロウレベルのときには無効とされる。なお、リードモードにおいて、データ出力回路211に対するアウトプットイネーブルの制御を行う外部制御信号／OEを設けた場合には、かかる信号／OEもコントロール回路209に供給され、その信号が例えばハイレベルのときにはデータ出力回路21

1 は高出力インピーダンス状態にされる。

【0065】

DDR SDRAMの読み出し動作は、次の通りである。チップセレクト／CS、／RAS、／CAS、ライトイネーブル／WEの各信号はCLK信号に同期して入力される。／RAS=0と同時に行アドレスとバンク選択信号が入力され、それぞれロウアドレスバッファ205とバンクセレクト回路212で保持される。バンクセレクト回路212で指定されたバンクのロウデコーダ210がロウアドレス信号をデコードしてメモリセルアレイ200から行全体のデータが微小信号として出力される。出力された微小信号はセンスアンプ202によって増幅、保持される。指定されたバンクはアクティブ (Active) になる。

【0066】

行アドレス入力から3CLK後、CAS=0と同時に列アドレスとバンク選択信号が入力され、それぞれがカラムアドレスバッファ206とバンクセレクト回路212で保持される。指定されたバンクがアクティブであれば、保持された列アドレスがカラムアドレスカウンタ207から出力され、カラムデコーダ203が列を選択する。選択されたデータがセンスアンプ202から出力される。このとき出力されるデータは2組分である (×4ビット構成では8ビット、×16ビット構成では32ビット)。

【0067】

センスアンプ202から出力されたデータはデータ出力回路211からチップ外へ出力される。出力タイミングはDLL214から出力されるQCLKの立ち上がり、立ち下がりの両エッジに同期する。この時、上記のように2組分のデータはパラレル→シリアル変換され、1組分×2のデータとなる。データ出力と同時に、DQSバッファ215からデータストロブ信号DQSが出力される。モードレジスタ213に保存されているバースト長が4以上の場合、カラムアドレスカウンタ207は自動的にアドレスをインクリメントされて、次の列データを読み出すようにされる。

【0068】

上記DLL214の役割は、データ出力回路211と、DQSバッファ215

の動作クロック $QCLK$ を生成する。上記データ出力回路 211 と DQS バッファ 215 は、 DLL 214 で生成された内部クロック信号 $QCLK$ が入力されてから、実際にデータ信号やデータストロブ信号が出力されるまでに時間がかかる。そのため、レプリカ回路を用いて内部クロック信号 $QCLK$ の位相を外部 CLK よりも進める事により、データ信号やデータストロブ信号の位相を外部クロック CLK に一致させる。したがって、この場合、外部クロック信号と位相が一致させられるのは上記データ信号やデータストロブ信号である。

【0069】

この実施例では、上記のように動作周波数範囲が広く、同期化時間が短く、しかも高周波数まで安定した同期化信号を得ることができる DLL 回路を用いているために、高い応答性で高速まで動作可能な DDR $SDRAM$ を得ることができる。

【0070】

図 17 には、この発明に係る同期化回路を用いた PLL 回路の一実施例のブロック図が示されている。可変遅延回路の遅延段数を奇数とし、その出力信号を入力に帰還させることによりリングオシレータを構成し、これを電圧制御型発振回路 VCO として用いる。この VCO の出力信号を分周回路で分周し、分周出力 CK と、それに Δt だけ位相異なる信号 $CK - \Delta t$ と $CK + \Delta t$ を形成し、前記図 6 等で説明した位相比較器に供給し、外部から供給されたクロック信号 CLK との位相比較を行い、粗調用信号 $UP0/DN0$ と、微調用信号 UP/DN を形成し、チャージポンプ&フィルタに供給し、遅延量制御信号を形成して上記 VCO を構成する可変遅延段を制御する。

【0071】

例えば、上記 $CK - \Delta t$ 、 CK 及び $CK + \Delta t$ は、上記分周出力 CK' を Δt だけ遅延させる 2 つの遅延回路を通して遅延させ、 CK' を $CK - \Delta t$ とし、 $CK' + \Delta t$ を CK とし、 $CK' + 2\Delta t$ を $CK + \Delta t$ として用いればよい。あるいは、分周器での分周の過程で形成されたパルスを利用してもよい。つまり、図 13 で示したような分周・分配器を利用し、図 14 に示したような入力パルスの半周期ずつ位相のずれた 3 つの信号を利用することもできる。

【0072】

この構成により、VCOにおいては、外部クロックCLKに同期し、かつ、上記分周器で分周比に対応して通倍された内部クロック信号ICKを形成することができる。VCOにおいて、上記外部クロックCLKと同じ周波数の内部パルス形成するなら、上記分周器を省略することができる。このときには、上記信号 $CK - \Delta t$ と $CK + \Delta t$ は、上記信号CKを形成する単位遅延段の1つ前と1つ後の信号を利用することができる。

【0073】

前記図1と同様に可変遅延回路1を用いて外部クロックと同期化させる制御信号を形成し、それをVCOを構成する可変遅延回路の制御信号として用いるようにして、単位遅延段の遅延時間を等しく設定し、VCOの可変遅延段数を上記可変遅延回路1の半分にすると外部クロックの2倍の周波数の内部クロックを形成することができ、1/4にすると外部クロックの4倍の周波数の内部クロック信号を形成することができる。

【0074】

以上本発明者よりなされた発明を実施例に基づき具体的に説明したが、本願発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、位相比較器や標準遅延信号DLに対して粗調範囲と微小範囲を規定する遅延信号 $DL - 1$ と $DL + 1$ を形成する回路及びそれと位相比較を行う回路は、種々の実施形態を採ることができる。上記DLL回路は、前記のようなDDR SDRAMの他、シンクロナスSRAMや外部から供給されたクロックと同期化させた信号を形成する各種半導体集積回路装置に同様に適用することができる。このように発明は、同期化回路と同期化方法として広く利用することができる。

【0075】**【発明の効果】**

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。基準パルスと同期化させるべき第1パルスに加えて上記第1パルスに対して位相が一定時間だけ進んだ第2パルス及び遅れた

第3パルスを実第1可変遅延回路で形成し、上記基準パルスと上記第1パルスを第1位相比較回路で比較し、上記基準パルスと上記第2パルス及び第3パルスとを第2位相比較回路で比較し、上記第1位相比較回路の比較出力と第2位相比較回路の比較出力とを受ける制御電圧発生回路により、上記第2位相比較回路の比較出力を実第1位相比較回路の比較出力に対して優先させて制御電圧を形成し、第2位相比較回路により上記基準パルスと上記第2パルス又は第3パルスとの位相が一致した後は、上記第1位相比較回路の比較出力により上記制御電圧を形成して上記第1可変遅延回路の遅延時間を制御することにより、簡単な構成で応答性と安定性を両立させることができる。

【0076】

基準パルスを分周回路で分周し、この分周パルスと同期化させるべき第1パルスを第1可変遅延回路で形成し、上記分周パルスと上記第1パルスを第1位相比較回路で比較し、上記基準パルスを上記分周回路と同じ分周比で分周し、かつ分周比に対応した多相クロックを分周分配回路で形成し、上記第1可変遅延回路と同じ構成とされ、上記分周分配回路で形成された第2可変遅延回路により多相クロックをそれぞれ遅延させ、上記第1位相比較回路の比較出力を受ける制御電圧発生回路により上記第1可変遅延回路及び第2可変遅延回路の制御電圧を形成し、上記第2可変遅延回路による複数の遅延出力を波形整形回路に伝えて上記基準パルスに対応したパルスを生成することにより、高周波数まで高い精度での同期化した信号を得ることができる。

【図面の簡単な説明】

【図1】

この発明に係るDLL回路の一実施例を示すブロック図である。

【図2】

この発明に用いられる可変遅延回路の一実施例を示す回路図である。

【図3】

この発明に係るDLL回路における粗調／微調の同期化動作の説明図である。

【図4】

この発明に係るDLL回路における粗調／微調の同期化動作の説明図である。

【図 5】

この発明に係る D L L 回路を説明するための動作特性図である。

【図 6】

この発明に係る D L L 回路の制御系回路の一実施例を示す回路図である。

【図 7】

図 1 のチャージポンプ&フィルタの一実施例を示す回路図である。

【図 8】

図 7 の可変遅延制御電圧発生回路の電圧変換特性図である。

【図 9】

この発明に係る D L L 回路の動作を説明するための波形図である。

【図 1 0】

この発明に関連する可変遅延回路の要求動作範囲の説明図である。

【図 1 1】

この発明に係る図 1 0 のパルス消滅対策例の説明図である。

【図 1 2】

図 1 の分周・分配器と可変遅延回路 2 及び波形合成器の一実施例を示すブロック図である。

【図 1 3】

図 1 2 の分周・分配器と可変遅延回路 2 及び波形合成器の一実施例を示す回路図である。

【図 1 4】

図 1 3 の回路の動作を説明するための動作波形図である。

【図 1 5】

この発明に係る D L L 回路の他の一実施例を示すブロック図である。

【図 1 6】

この発明が適用される D D R S D R A M の一実施例を示す全体ブロック図である。

【図 1 7】

この発明に係る同期化回路を用いた P L L 回路の一実施例を示すブロック図で

ある。

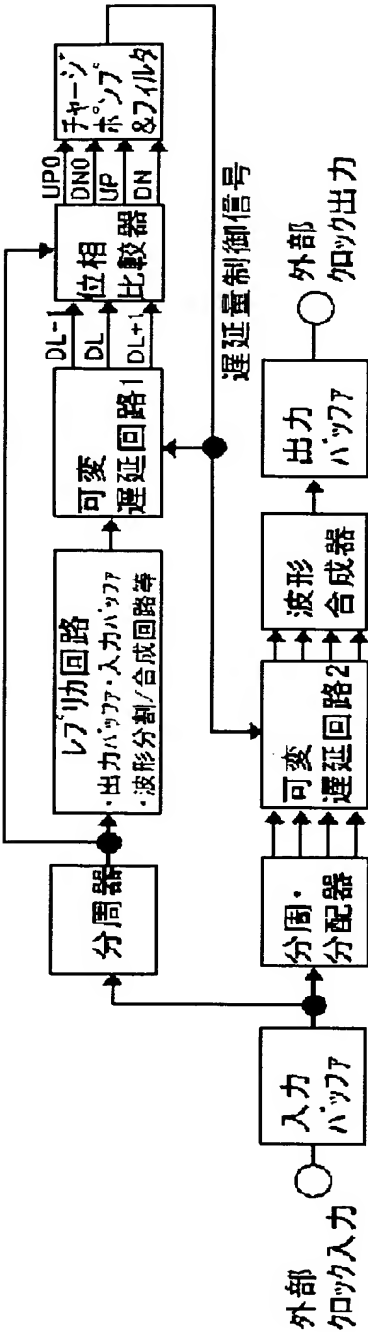
【符号の説明】

Q1～Q14…MOSFET、RSFF…フリップフロップ回路、REG…レジスタ、VCD…可変遅延回路、C1～C4…キャパシタ、REG1～REG6…レジスタ（分周器）、XOR1～XOR3…排他的論理和回路、IB…入力バッファ、

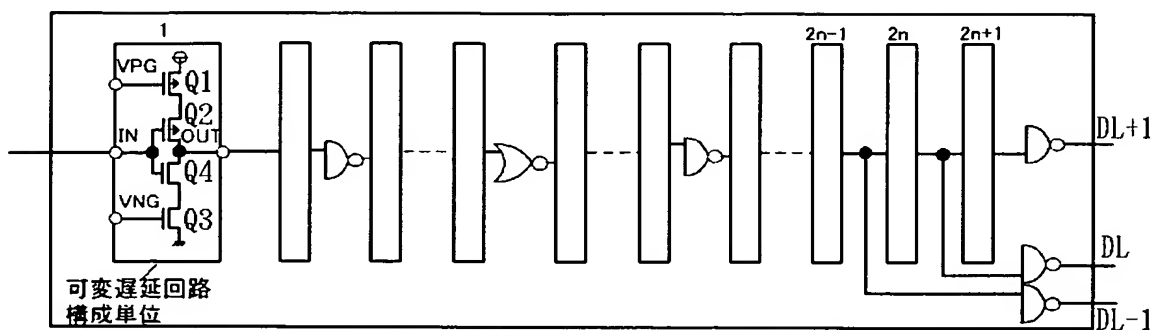
200A～D…メモリアレイ、201A～D…ロウデコーダ、202A～D…センスアンプ、203A～D…カラムデコーダ、204…アドレスバッファ、205…ロウアドレスバッファ、206…カラムアドレスバッファ、207…カラムアドレスカウンタ、208…リフレッシュカウンタ、209…コントロール回路、210…データ入力回路、211…データ出力回路、212…バンクセレクト回路、213…モードレジスタ、214…DLL、214…DQS バッファ。

【書類名】 図面

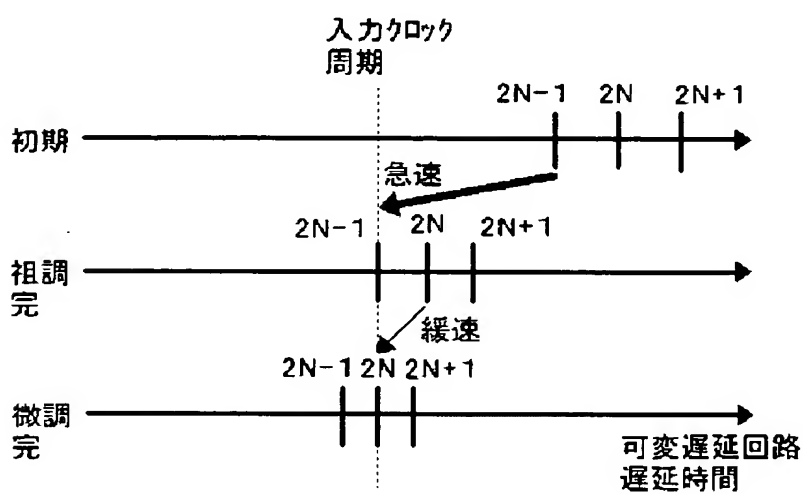
【図 1】



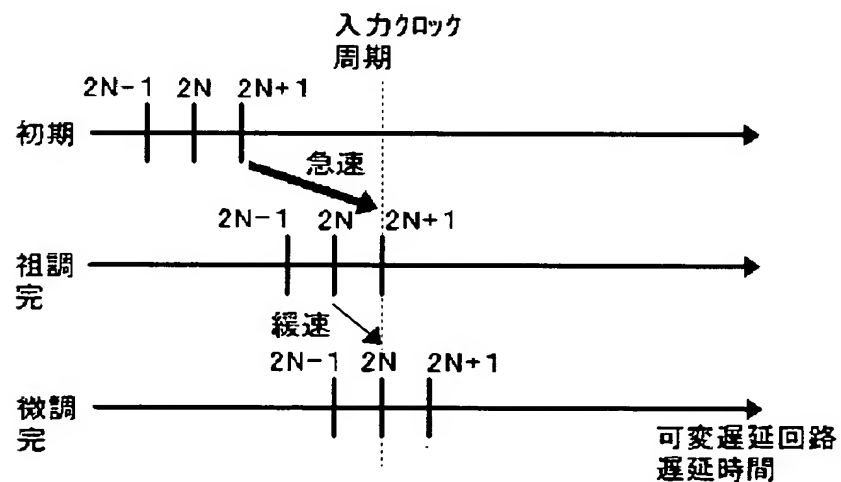
【図 2】



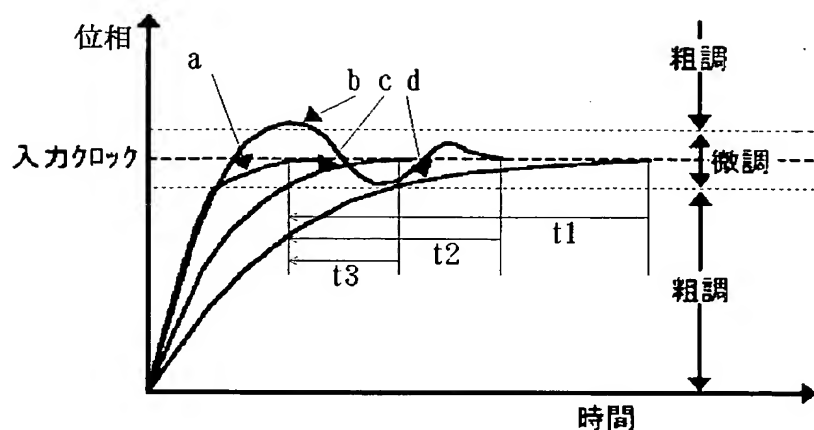
【図 3】



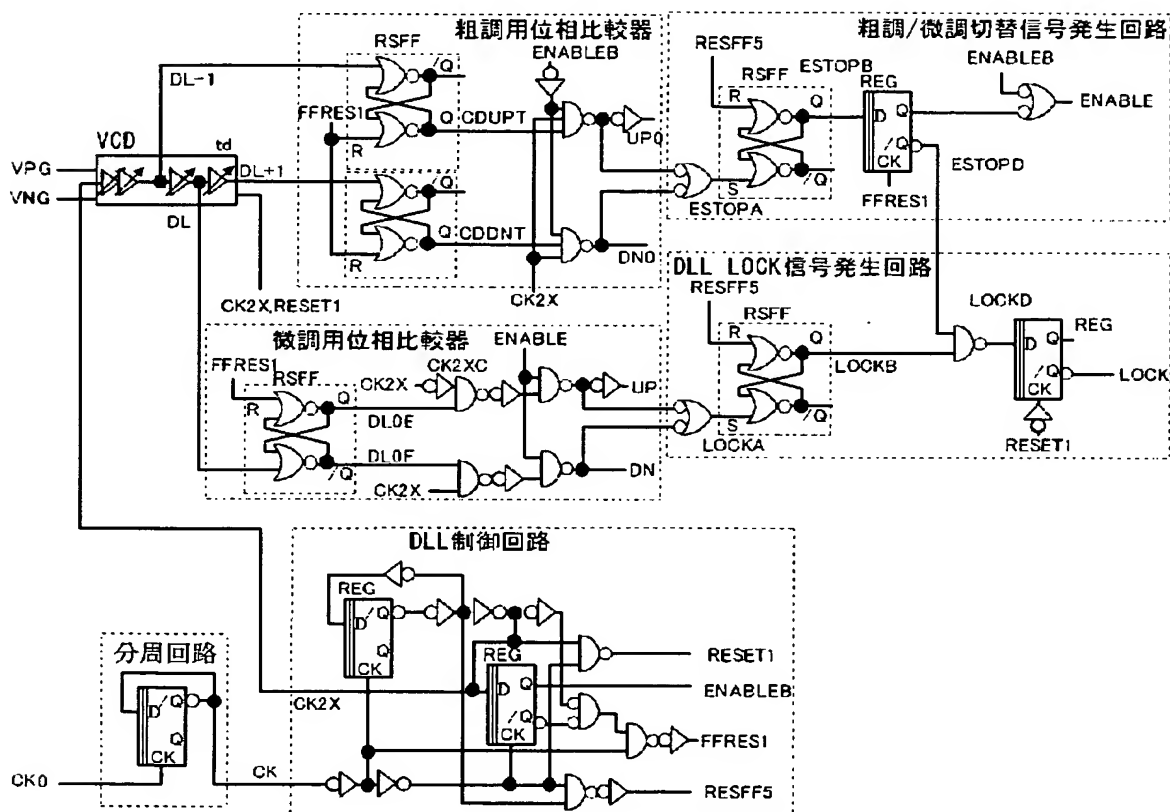
【図 4】



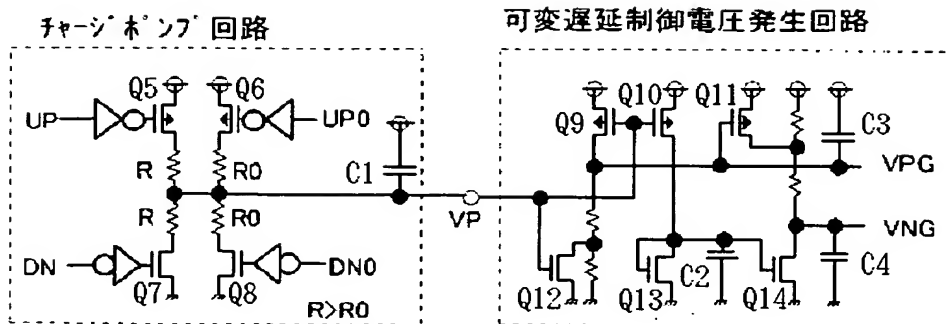
【図 5】



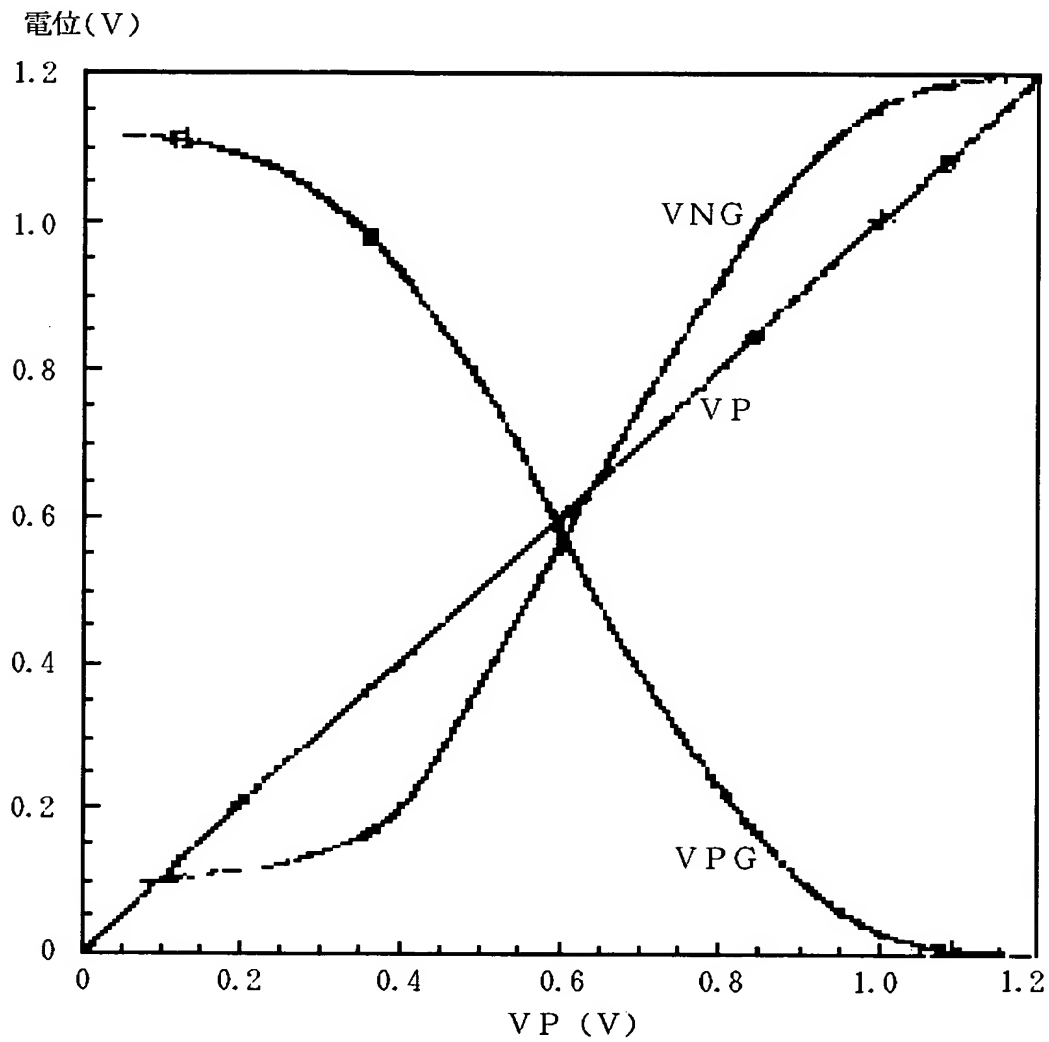
【図 6】



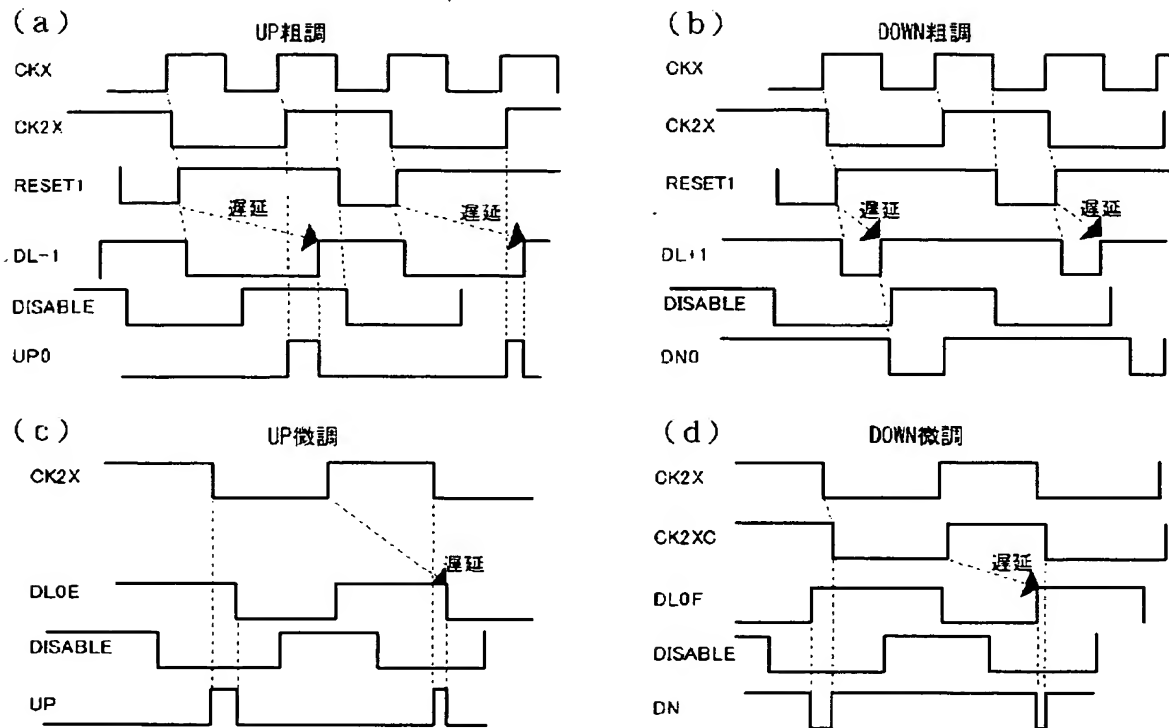
【図 7】



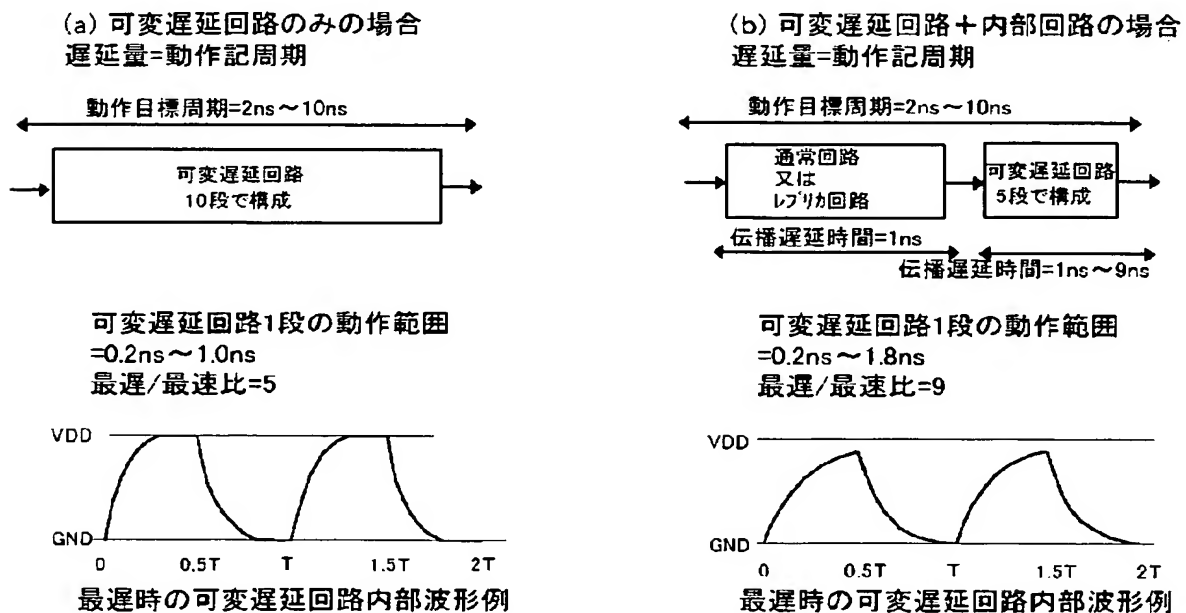
【図 8】



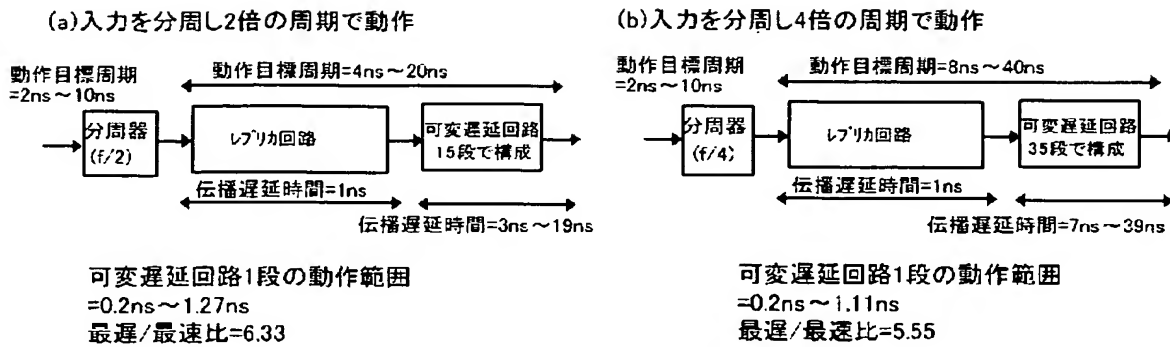
【図 9】



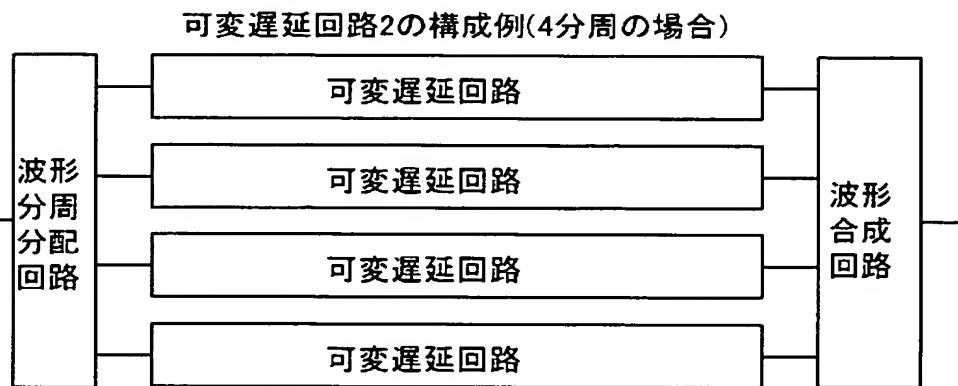
【図 10】



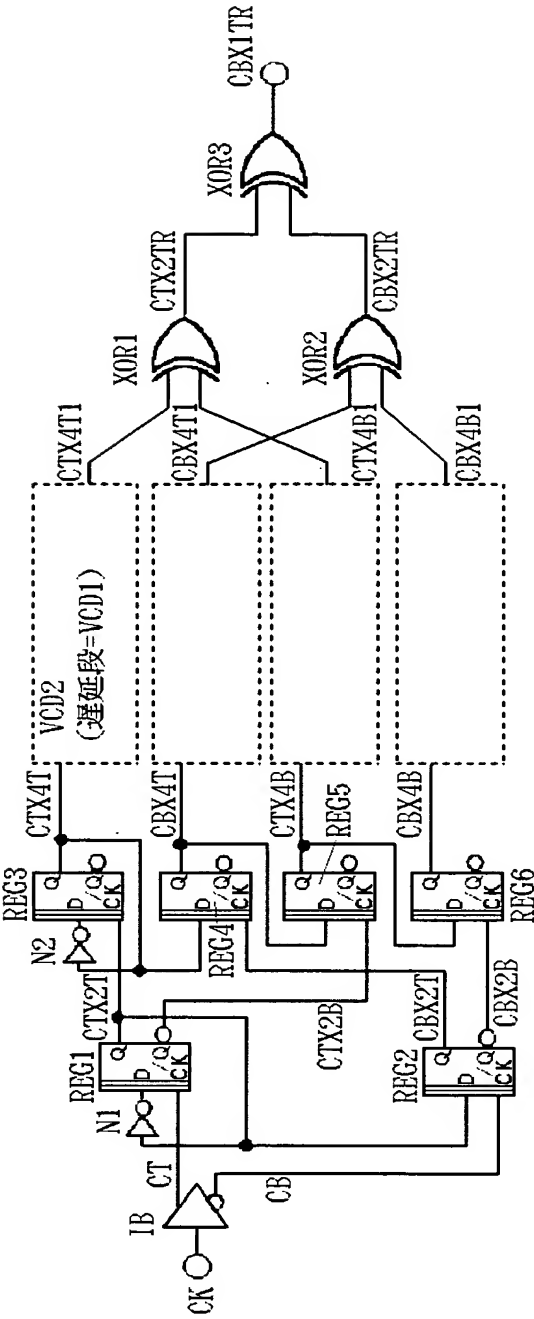
【図 1 1】



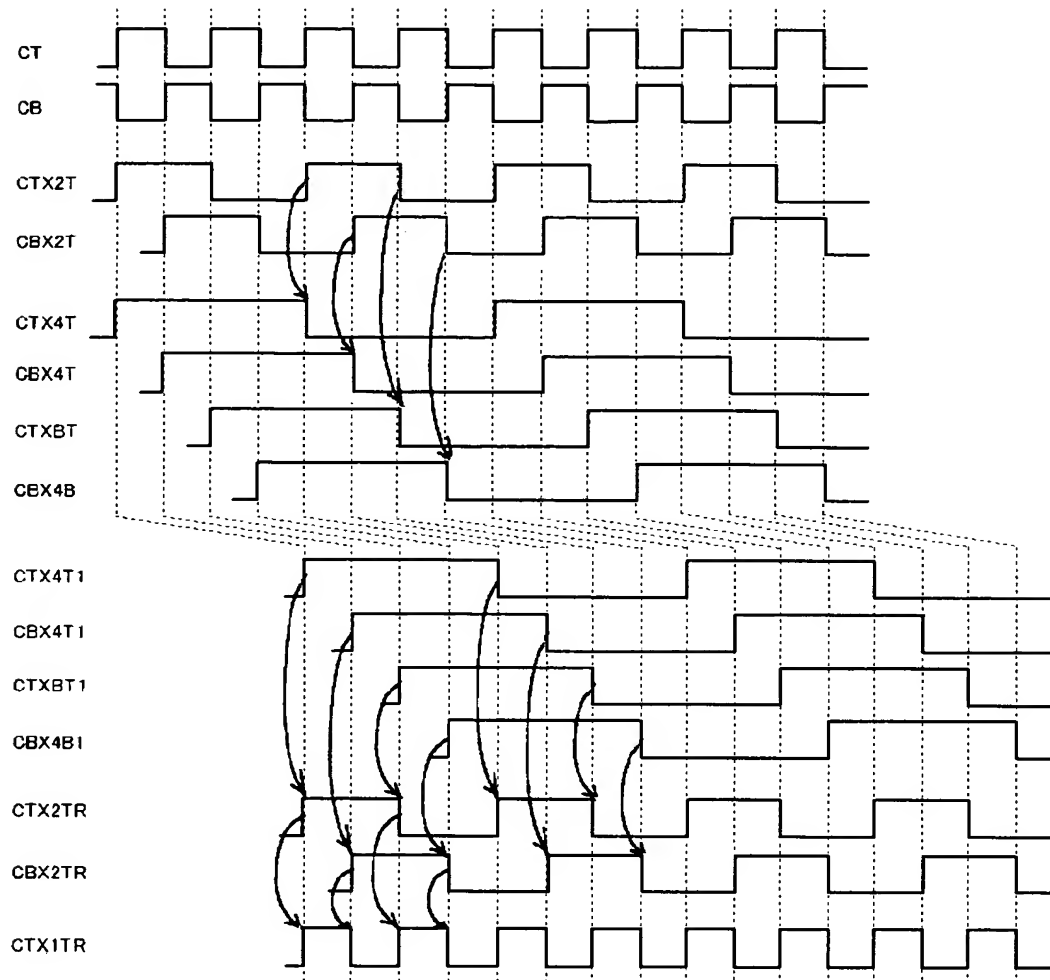
【図 1 2】



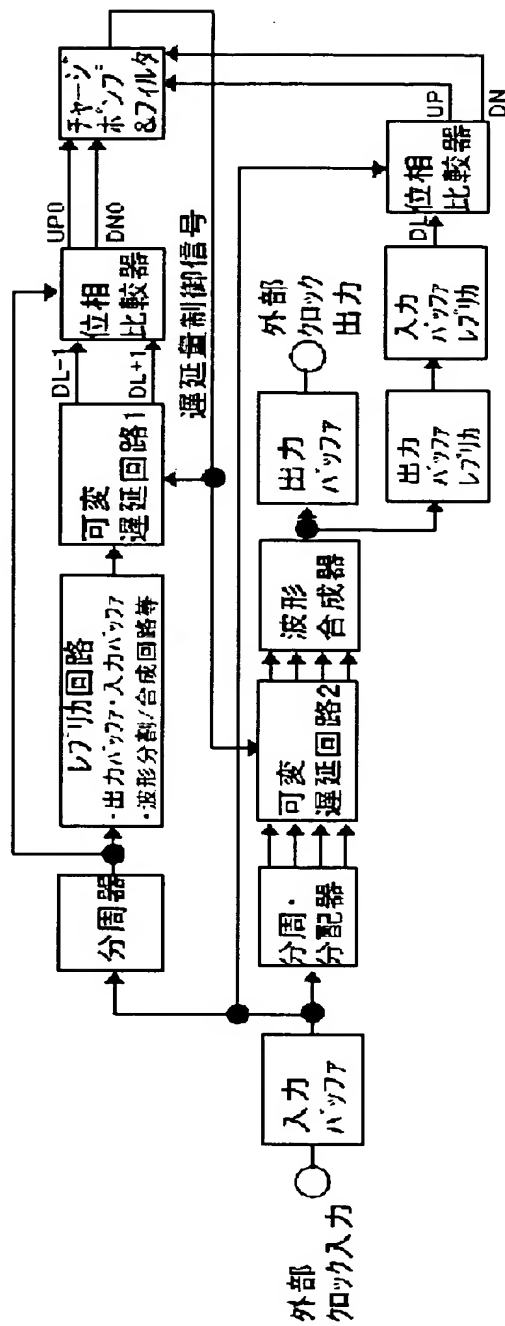
【図 1 3】



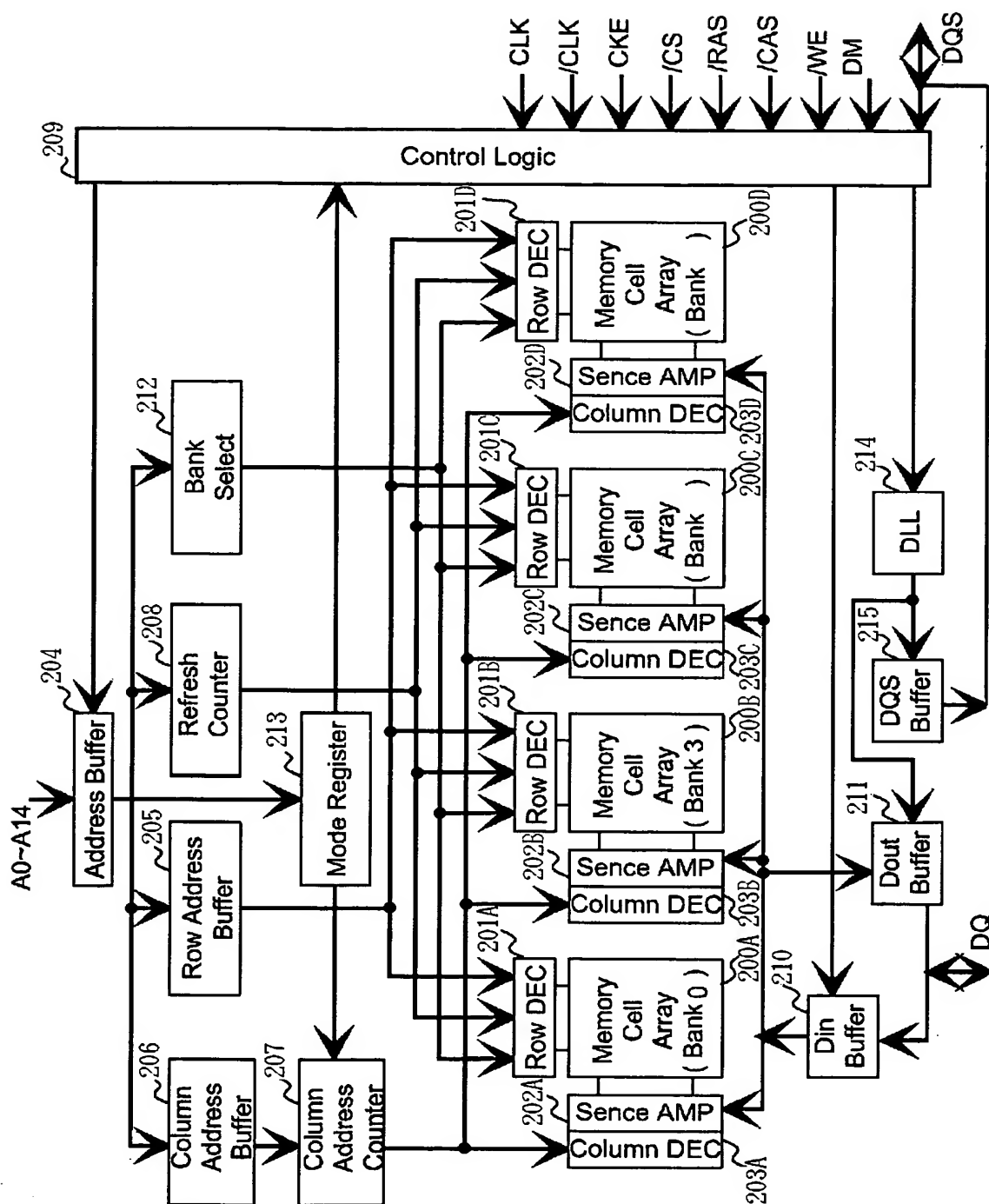
【図 14】



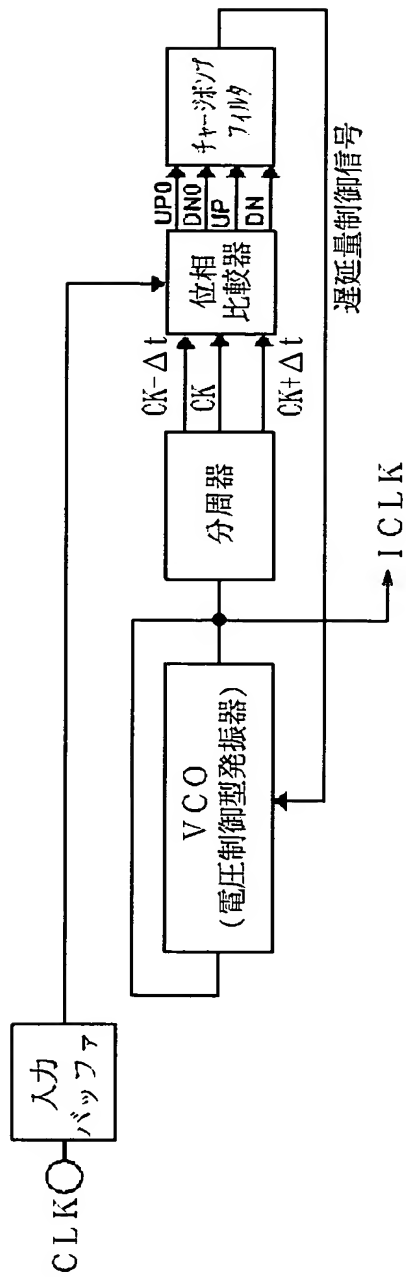
【図 15】



【図 16】



【図 17】



【書類名】 要約書

【要約】

【課題】 簡単な構成により応答性と安定性を両立させ、高周波数まで安定した同期化信号を得ることが可能な同期化回路と同期化方法を提供する。

【解決手段】 基準パルスと同期化させるべき第1パルスに加えて上記第1パルスに対して位相が進んだ第2パルス及び遅れた第3パルスを第1可変遅延回路で形成し、上記基準パルスと上記第1パルスを第1位相比較回路で比較し、上記基準パルスと上記第2パルス及び第3パルスとを第2位相比較回路で比較し、制御電圧発生回路により、上記第2位相比較回路の比較出力を第1位相比較回路の比較出力に対して優先させて制御電圧を形成して位相が一致した後には、上記第1位相比較回路の比較出力により上記制御電圧を形成して上記第1可変遅延回路の遅延時間を制御する。

【選択図】 図1

【書類名】 出願人名義変更届（一般承継）
【あて先】 特許庁長官 殿
【事件の表示】
【出願番号】 特願2003- 23017
【承継人】
【識別番号】 503121103
【氏名又は名称】 株式会社ルネサステクノロジ
【承継人代理人】
【識別番号】 100081938
【弁理士】
【氏名又は名称】 徳若 光政
【提出物件の目録】
【包括委任状番号】 0308732
【物件名】 承継人であることを証明する登記簿謄本 1
【援用の表示】 特許第 3 1 5 4 5 4 2 号 平成 1 5 年 4 月 1 1 日付け提出の会社分割による特許権移転登録申請書 を援用する
【物件名】 権利の承継を証明する承継証明書 1
【援用の表示】 特願平 4 - 0 7 8 4 1 8 号 同日提出の出願人名義変更届（一般承継）を援用する

認定・付加情報

特許出願の番号	特願 2003-023017
受付番号	50301223883
書類名	出願人名義変更届 (一般承継)
担当官	土井 恵子 4264
作成日	平成15年 9月 2日

<認定情報・付加情報>

【提出日】 平成15年 7月24日

特願 2 0 0 3 - 0 2 3 0 1 7

出 願 人 履 歷 情 報

識別番号

[0 0 0 0 0 5 1 0 8]

1. 変更年月日

1 9 9 0 年 8 月 3 1 日

[変更理由]

新規登録

住 所

東京都千代田区神田駿河台 4 丁目 6 番地

氏 名

株式会社日立製作所

特願 2 0 0 3 - 0 2 3 0 1 7

出 願 人 履 歴 情 報

識別番号

[5 0 3 1 2 1 1 0 3]

1. 変更年月日
[変更理由]

2 0 0 3 年 4 月 1 日
新規登録

住 所
氏 名

東京都千代田区丸の内二丁目 4 番 1 号
株式会社ルネサステクノロジ